

CLOCK DRIVER CIRCUIT

Publication number: JP1161913 (A)

Publication date: 1989-06-26

Inventor(s): FUJITA YASUHIKO; ISHIKAWA KAZUO

Applicant(s): TOKYO SHIBAURA ELECTRIC CO; TOSHIBA MICRO CUMPUTER ENG

Classification:

- **international:** **H03K5/02; H03K5/02;** (IPC1-7): H03K5/02

- **European:**

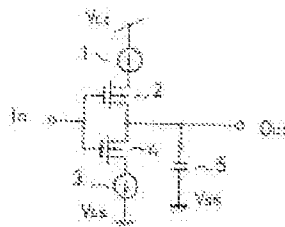
Application number: JP19870320184 19871218

Priority number(s): JP19870320184 19871218

Abstract of JP 1161913 (A)

PURPOSE: To generate a clock signal whose leading and trailing speed is always constant by providing a constant current source circuit between a 1st MOS switch and a 1st potential or between a 2nd MOS switch and a 2nd potential.

CONSTITUTION: With a changeover of an input signal In from '0' level to '1' level or from '1' level to '0' level conversely, when an N-channel MOS transistor (TR) 4 or a P-channel MOS TR 2 changes from the OFF state to the ON state, a parasitic capacitor 5 is charged or discharged by a constant current from a constant current source circuit 1 (3). The leading speed of an output signal (out) depends on the current of the constant current source circuit 1 and the trailing speed of the output signal (out) depends on the current of the constant current source circuit 3.; Thus, both the currents are always made constant and the leading and trailing speed is always made constant.



.....
Data supplied from the **esp@cenet** database — Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平1-161913

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月26日

H 03 K 5/02

A-7631-5J

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 クロックドライバ回路

⑮ 特 願 昭62-320184

⑯ 出 願 昭62(1987)12月18日

⑰ 発 明 者 藤 田 康 彦 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑱ 発 明 者 石 川 和 男 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエンジニアリング株式会社内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 出 願 人 東芝マイコンエンジニアリング株式会社 神奈川県川崎市川崎区駅前本町25番地1

㉑ 代 理 人 弁 理 士 鈴 江 武 彦

外2名

明 細 書

1. 発明の名称

クロックドライバ回路

2. 特許請求の範囲

(1) 第1の電位とクロック信号の出力端子との間に挿入され入力クロック信号に基づいて導通制御される第1導電型の第1のMOSスイッチと、第2の電位と上記出力端子との間に挿入され入力クロック信号に基づいて導通制御される第2導電型の第2のMOSスイッチと、少なくとも上記第1のMOSスイッチと上記第1の電位との間もしくは上記第2のMOSスイッチと上記第2の電位との間に挿入される定電流源回路とを具備したことを特徴とするクロックドライバ回路。

(2) 前記定電流源回路はゲートが共通接続された入力側及び出力側のMOSトランジスタで構成されたカレントミラー回路と、上記入力側のMOSトランジスタに定電流を供給

する定電流源とからなることを特徴とする特許請求の範囲第1項に記載のクロックドライバ回路。

(3) 前記定電流源回路が前記第1のMOSスイッチもしくは第2のMOSスイッチとしての機能を兼ね備えている特許請求の範囲第1項に記載のクロックドライバ回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は入力クロック信号を増幅するクロックドライバ回路に関する。

(従来の技術)

サンプル・ホールド回路やスイッチド・キャパシタ・フィルタ回路(Switched Capacitor Filter、以下、SCFと称する)等ではアナログ信号電圧をMOSスイッチ等からなるスイッチ素子を介してサンプリングし、コンデンサに蓄積するようにしており、上記スイッチ素子の制御にはクロック信号が使用されている。通常、CMOS回路におけ

るスイッチ素子としてはPチャネルMOSトランジスタとNチャネルMOSトランジスタとが用いられており、両トランジスタを制御するためのクロック信号として互いに相補なクロック信号 ϕ 、 $\bar{\phi}$ が使用されている。

第8図(a)は上記した相補なクロック信号 ϕ 、 $\bar{\phi}$ を発生するクロックドライバ回路の構成を示す回路図である。入力クロック信号 ϕ はインバータ31を介して、クロック ϕ 用のドライバとしてのインバータ32に入力されると共に、クロック $\bar{\phi}$ 用のドライバとしてのインバータ33に入力される。上記インバータ32もしくは33はそれぞれ第8図(b)の回路図に示すように、各ソース、ドレイン間が電源電位 V_{cc} とアース電位 V_{ss} との間に直列に挿入され、入力信号 I_n がゲートに共通に入力されるPチャネルMOSトランジスタ34とNチャネルMOSトランジスタ35とから構成されており、両トランジスタ34、35の共通ドレインからクロック信号 ϕ もしくは $\bar{\phi}$ としての出力信号 O_{out} が出力されるようになっている。

とになる。

ところで、第9図に示すようなサンプル・ホールド回路では出力電圧 V_{out} にオフセット電圧が生じることが知られている。そして、クロック信号 ϕ 、 $\bar{\phi}$ の立上がり、立下がり速度にばらつきがあると、このオフセット電圧にばらつきが発生することが例えば、文献「SOLID-STATE CIRCUITS, VOL. SC-19, NO. 4, AUGUST, 1984」等で知られている。この文献によれば、第11図の波形図に示すようにサンプル・ホールド回路でサンプリング用のスイッチがオフする際に寄生容量を介してクロック信号 ϕ が漏れ、これにより出力電圧 V_{out} にオフセット電圧が発生するが、その値はクロック信号の立下がりもしくは立上がりの速度が速いほど、大きくなるとされている。

このようにクロック信号の立上がり、立下がり速度の変動によるオフセット電圧の変動はサンプル・ホールド回路やSCF等の回路特性に変動を与える原因となっている。

第9図は上記第8図(a)のクロックドライバ回路から出力されるクロック信号 ϕ 、 $\bar{\phi}$ で制御されるサンプル・ホールド回路の構成を示す回路図である。アナログ信号電圧 V_{in} はNチャネルMOSトランジスタ36及びPチャネルMOSトランジスタ37で構成されたCMOSアナログスイッチ38を介してコンデンサ39に蓄積され、電圧 V_{out} として出力されるようになっている。なお、図中の容量 C_p 、 $C_{p'}$ はそれぞれアナログスイッチ38を構成するNチャネル、PチャネルMOSトランジスタ36、37の寄生容量や配線容量等を等価的に示したものである。

このような構成において、上記寄生容量 C_p 、 $C_{p'}$ や電源電位 V_{cc} またはトランジスタ34、35の閾値電圧にばらつきが発生すると、クロックドライバ回路から出力されるクロック信号 ϕ 、 $\bar{\phi}$ の立上がり、立下がり速度にばらつきが発生する。例えば電源電位 V_{cc} にばらつきが発生すると、クロック信号 ϕ は第10図の波形図に示すように種々の立上がり、立下がりの速度を呈するこ

(発明が解決しようとする問題点)

このように従来のクロックドライバ回路では、クロック信号の立上がりまたは立下がりの速度に変化が生じる。このため、サンプル・ホールド回路、SCF等でオフセット電圧が変化してしまい、特性の安定性に問題があった。

この発明は上記のような事情を考慮してなされたものであり、その目的は、立上がり、立下がりの速度が常に一定なクロック信号を発生するクロックドライバ回路を提供することにある。

[発明の構成]

(問題点を解決するための手段)

この発明のクロックドライバ回路は、第1の電位とクロック信号の出力端子との間に挿入され入力クロック信号に基づいて導通制御される第1導電型の第1のMOSスイッチと、第2の電位と上記出力端子との間に挿入され入力クロック信号に基づいて導通制御される第2導電型の第2のMOSスイッチと、少なくとも上記第1のMOSスイッチと上記第1の電位との間もしくは上記第

2のMOSスイッチと上記第2の電位との間に挿入される定電流源回路とから構成される。

(作用)

一定電流によりクロック信号の出力端子を充、放電する。これにより、電源電圧やMOSトランジスタの閾値等による出力信号の立上がりまたは立下がりの速度変化が防止される。

(実施例)

以下、図面を参照してこの発明の実施例を説明する。

第1図はこの発明に係るクロックドライバ回路の第1の実施例による構成を示す回路図であり、前記第8図(α)の回路におけるインバータ³²もしくは³³を具体的に示したものである。電源電位 V_{cc} には定電流源回路1の一端が接続されている。この定電流源回路1の他端にはPチャネルMOSトランジスタ2のソースが接続されている。また、アース電位 V_{ss} には定電流源回路3の一端が接続されている。この定電流源回路3の他端にはNチャネルMOSトランジスタ4のソースが

接続されている。上記両トランジスタ2、4のゲートは共通接続され、この共通ゲートには入力信号 in が入力されるようになっている。さらに、上記両トランジスタ2、4のドレインは共通接続され、この共通ドレインから前記クロック信号 ϕ もしくは $\bar{\phi}$ としての信号 Out が出力されるようになっている。なお、上記共通ドレインとアース電位 V_{ss} との間には寄生容量 C_p が接続されている。

上記構成でなる回路において、入力信号 in が“0”レベルから“1”レベルに、もしくはこれとは逆に“1”レベルから“0”レベルに切り替わり、NチャネルMOSトランジスタ4もしくはPチャネルMOSトランジスタ2がオフ状態からオン状態に変化すると、定電流源回路1もしくは3の一定電流により寄生容量 C_p が充電もしくは放電される。ここで、出力信号 out の立上がり速度は定電流源回路1の電流値によって決定され、立下がり速度は定電流源回路3の電流値によって決定される。この結果、両電流値は常に一定にされてい

るため、出力信号 Out の立上がり、立下がりの速度は常に一定にすることができる。

従って、上記実施例回路で得られる出力信号をクロック信号としてサンプル・ホールド回路やSCFなどに供給した場合に、オフセット電圧等の回路特性の変動を防止することができる。

第2図は上記第1の実施例回路における定電流源回路1、3をカレントミラー回路で実現した場合の具体的な構成を示す回路図である。一方の定電流源回路3はゲートが共通接続された2個のNチャネルMOSトランジスタ6、7からなるカレントミラー回路8と、定電流源9で構成されている。トランジスタ6はカレントミラー回路8の入力側トランジスタであり、定電流源9からの一定電流が入力される。トランジスタ7はカレントミラー回路8の出力側トランジスタであり、そのソース、ドレイン間が前記トランジスタ4のソースとアース電位 V_{ss} との間に挿入されている。ここで両トランジスタ6、7の素子サイズが等しくされているならば、トランジスタ7には定電流源8と等

しい値の一定電流が流れ得る。

他方の定電流源回路1は、上記トランジスタ6とゲートが共通接続されたNチャネルMOSトランジスタ10と、互いにゲートが共通接続された2個のPチャネルMOSトランジスタ11、12で構成された2個のカレントミラー回路13、14とから構成されており、トランジスタ11と12の各ドレインは電源電位 V_{cc} に接続されている。トランジスタ6は一方のカレントミラー回路13の入力側トランジスタであり、定電流源9からの一定電流が入力される。トランジスタ10は一方のカレントミラー回路13の出力側トランジスタである。トランジスタ12は他方のカレントミラー回路14の入力側トランジスタであり、上記一方のカレントミラー回路13の出力電流が入力される。トランジスタ11は他方のカレントミラー回路14の出力側トランジスタであり、そのソース、ドレイン間が前記トランジスタ2のソースと電源電位 V_{cc} との間に挿入されている。ここで、トランジスタ6と10及びトランジスタ11と12それぞれの素子サイズが等くさ

れているならば、トランジスタ11には定電流源9と等しい値の一定電流が流れ得る。

第3図及び第4図はそれぞれこの発明の第2、第3の実施例による構成を示す回路図である。前記第1の実施例回路では容量5の充、放電を行うために2個の定電流源回路1、3を設け、出力信号O u tの立上がり、立下がりの両速度を一定にする場合を説明したが、サンプル・ホールド回路等のオフセット電圧はスイッチがオフするときのみ発生する。従って、スイッチがオフするときの速度を一定に保つようにすればよい。ここで、サンプリング用のスイッチがNチャネルM O Sトランジスタのみで構成されているような場合にスイッチがオフするときの速度を一定に保つためには、第3図の実施例回路に示すように、容量5の放電時の電流値が一定となるように一方の定電流源回路3のみを設ければよい。

他方、サンプリング用のスイッチがPチャネルM O Sトランジスタのみで構成されているような場合にスイッチがオフするときの速度を一定に保

は上記トランジスタ16のゲートとアース電位 V_{ss} との間に挿入されており、そのゲートには入力信号I nの反転信号 $\overline{I n}$ が供給される。

前記定電流源回路1の代わりに使用される他方の定電流源回路22にはPチャネルM O Sトランジスタ23を出力側トランジスタ、PチャネルM O Sトランジスタ24を入力側トランジスタとするカレントミラー回路25、トランジスタ24に一定電流を供給する定電流源26及びスイッチ用の2個のPチャネルM O Sトランジスタ27、28が設けられている。上記スイッチ用の一方のPチャネルM O Sトランジスタ27はカレントミラー回路25を構成するトランジスタ23、24のゲート間に挿入されており、そのゲートには入力信号I nが供給される。スイッチ用の他方のPチャネルM O Sトランジスタ28は上記トランジスタ23のゲートと電源電位 V_{ss} との間に挿入されており、そのゲートには入力信号I nの反転信号 $\overline{I n}$ が供給される。

このような構成の回路において、入力信号I nが“0”レベルから“1”レベルに切替わると、

つためには、第4図の実施例回路に示すように、容量5の充電時の電流値が一定となるように他方の定電流源回路1のみを設ければよい。

第5図はこの発明の第4の実施例による構成を示す回路図である。この実施例回路は、前記第1図の実施例回路におけるトランジスタ2、4のスイッチ機能を定電流源回路1、3それぞれに持たせるようにしたものである。

前記定電流源回路3の代わりに使用される一方の定電流源回路15にはNチャネルM O Sトランジスタ16を出力側トランジスタ、NチャネルM O Sトランジスタ17を入力側トランジスタとするカレントミラー回路18、トランジスタ17に一定電流を供給する定電流源19及びスイッチ用の2個のNチャネルM O Sトランジスタ20、21が設けられている。上記スイッチ用の一方のNチャネルM O Sトランジスタ20はカレントミラー回路18を構成するトランジスタ16、17のゲート間に挿入されており、そのゲートには入力信号I nが供給される。スイッチ用の他方のNチャネルM O Sトランジスタ21

定電流源回路15内のトランジスタ20がオン状態、トランジスタ21がオフ状態になり、カレントミラー回路18が動作可能になる。このときトランジスタ16に流れる一定電流で寄生容量5が放電される。他方、入力信号I nが“1”レベルから“0”レベルに切替わると、定電流源回路22内のトランジスタ23がオン状態、トランジスタ24がオフ状態になり、今度はカレントミラー回路25が動作可能になる。このときトランジスタ23に流れる一定電流で寄生容量5が充電される。

従って、この実施例回路の場合にも出力信号O u tの立上がり、立下がりの速度は常に一定にすることができる。

第6図及び第7図はこの発明の第5、第6の実施例による構成を示す回路図である。この第5、第6の実施例回路は、前記第3図及び第4図実施例回路の場合と同様に出力信号O u tの立上がり、立下がりいずれか一方の速度を一定に保つようにしたものである。

第6図の実施例回路の場合は定電流源回路15を

残して出力信号 Out の立下がり速度を一定に保つようにしており、寄生容量 5 の充電を行うために信号 In でスイッチ制御される P チャネル MOS トランジスタ 29 が設けられている。

第 7 図の実施例回路の場合は定電流源回路 22 を残して出力信号 Out の立上がり速度を一定に保つようにしており、寄生容量 5 の放電を行うために信号 In でスイッチ制御される N チャネル MOS トランジスタ 30 が設けられている。

なお、上記各定電流源 9 、 19 、 28 の条件としては電源電位 V_{cc} が変動してもその値が変動しないことが必要であるが、このような条件を満足するものとしては例えば特公開 $56-2017$ 号公報に記載されているものが使用可能である。

以上のような構成により、SCF、サンプル・ホールド回路等の特性に与える影響を格段に軽減することができる。

【発明の効果】

以上詳述したようにこの発明によれば、電源電圧または素子の閾値等に影響することなく立上が

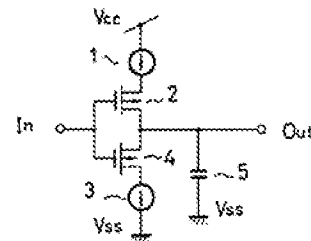
り、立下がり速度が常に一定なクロック信号が得られるクロックドライバ回路を提供することができる。

4. 図面の簡単な説明

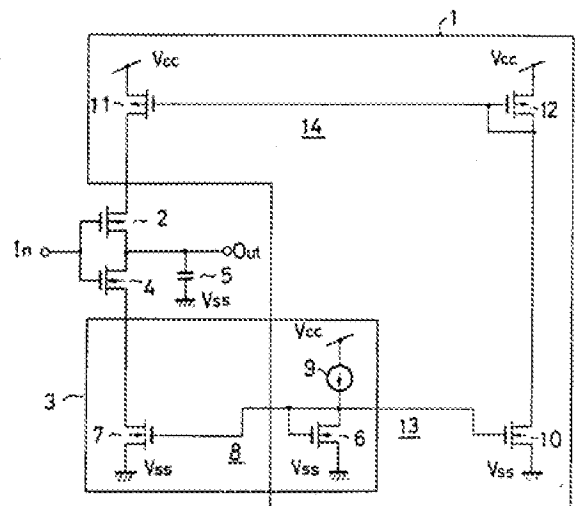
第 1 図はこの発明の第 1 の実施例による構成を示す回路図、第 2 図は第 1 図回路の具体的構成を示す回路図、第 3 図はこの発明の第 2 の実施例による構成を示す回路図、第 4 図はこの発明の第 3 の実施例による構成を示す回路図、第 5 図はこの発明の第 4 の実施例による構成を示す回路図、第 6 図はこの発明の第 5 の実施例による構成を示す回路図、第 7 図は第 6 の実施例回路の具体的構成を示す回路図、第 8 図は従来のクロックドライバ回路の全体及び一部の構成を示す回路図、第 9 図はサンプル・ホールド回路の構成を示す回路図、第 10 図はクロック信号の波形図、第 11 図はクロック信号波形とそれに対するオフセット電圧の波形図である。

1、3…定電流源回路、2…P チャネル MOS トランジスタ、4…N チャネル MOS トランジスタ

ク、5…寄生容量。

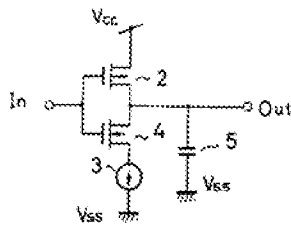


第 1 図

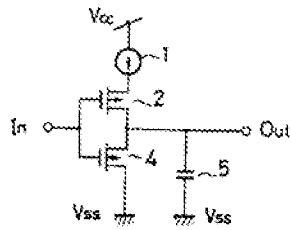


第 2 図

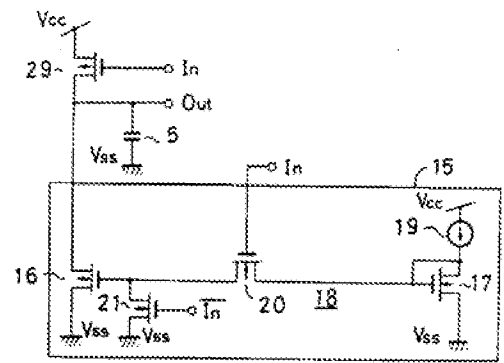
出願人代理人 弁理士 鈴江武彦



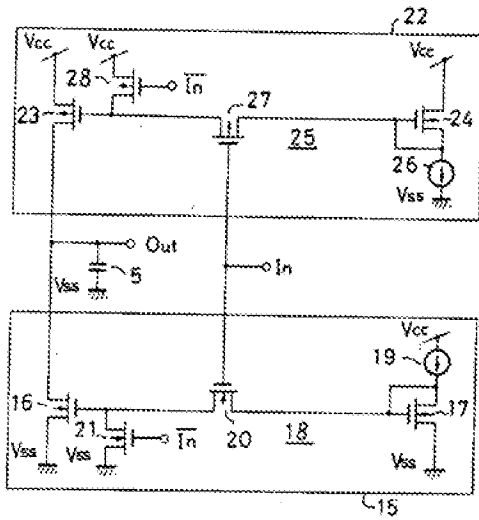
第 3 図



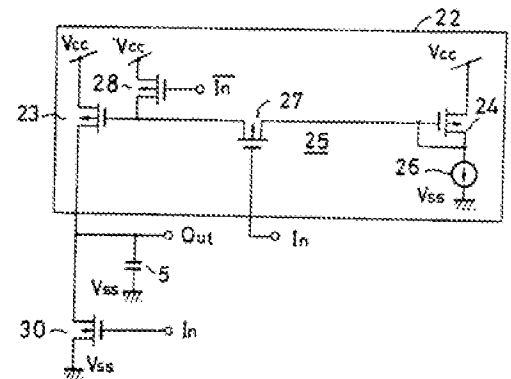
第 4 図



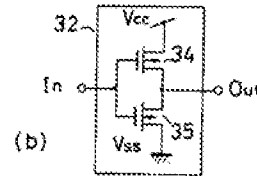
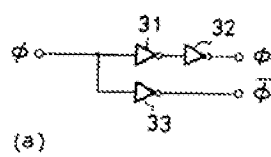
第 6 図



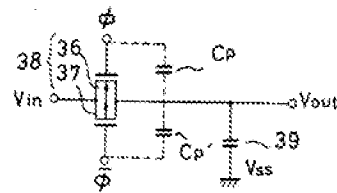
第 5 図



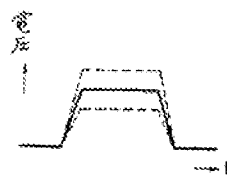
第 7 図



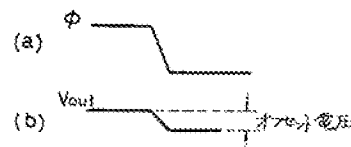
第 8 図



第 9 図



第 10 図



第 11 図